

(19) 日本国特許庁(JP)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-335106

(P2002-335106A)

(43) 公開日 平成14年11月22日(2002.11.22)

(51) Int. C1.7

H01P 3/02  
1/16  
3/16

識別記号

F I

H01P 3/02  
1/16  
3/16

テマコード(参考)

5J012  
5J014

審査請求 未請求 請求項の数4

OL

(全12頁)

(21) 出願番号 特願2001-139117(P2001-139117)

(71) 出願人 000006231

株式会社村田製作所

京都府長岡市天神二丁目26番10号

(22) 出願日 平成13年5月9日(2001.5.9)

(72) 発明者 飯尾 憲一

京都府長岡市天神二丁目26番10号 株式  
会社村田製作所内

(74) 代理人 100084548

弁理士 小森 久夫

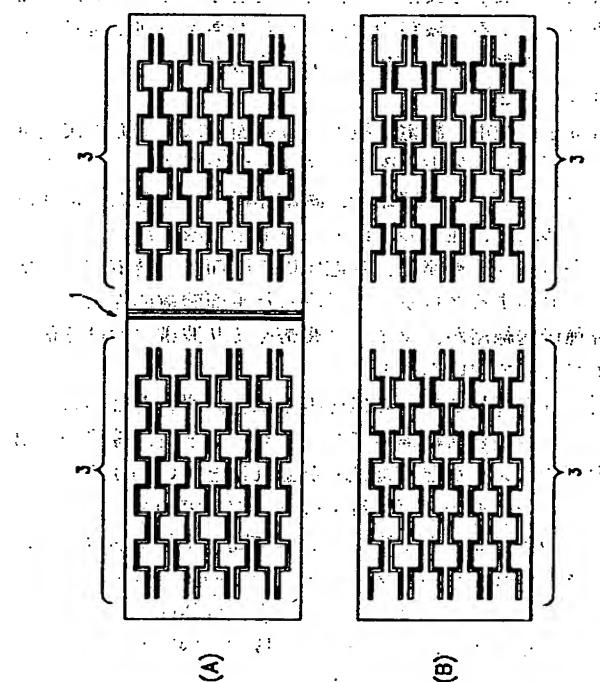
F ターム(参考) 5J012 CA03 CA11

5J014 CA21 HA06

(54) 【発明の名称】高周波回路装置および通信装置

(57) 【要約】  
【課題】限られた面積のスプリアスマード伝搬阻止回路で、確実にスプリアスマードの伝搬を阻止できるようにした高周波回路装置および通信装置を構成する。

【解決手段】伝送線路であるグラウンドコプレーナ線路1の電磁波伝搬方向に垂直な向きに高インピーダンス線路と低インピーダンス線路とを交互に直列接続したストリップ状線路からなるスプリアスマード伝搬阻止回路3を、誘電体板の上下面に形成する。その際、誘電体板の上下の高インピーダンス線路と低インピーダンス線路とが対向するように配置する。これにより、限られた面積でのスプリアスマード伝搬阻止回路で、パラレルプレートモード等のスプリアスマードの伝搬を効率よく抑制する。



## 【特許請求の範囲】

【請求項1】 平行な少なくとも2つの平面導体と、該2つの平面導体間を伝搬するスプリアスモードと結合して当該スプリアスモードの伝搬を阻止するスプリアスモード伝搬阻止回路を前記2つの平面導体の両方に形成した高周波回路装置であって、

前記2つの平面導体の一方のスプリアスモード伝搬阻止回路の開放端と短絡端が、他方のスプリアスモード伝搬阻止回路の短絡端と開放端にそれぞれ対向するように、前記2つの平面導体のスプリアスモード伝搬阻止回路のパターンを配置した高周波回路装置。

【請求項2】 前記スプリアスモード伝搬阻止回路のパターンは、前記伝送線路の電磁波伝搬方向に垂直な向きに高インピーダンス線路と低インピーダンス線路とを交互に直列接続したストリップ状線路を、スプリアスモードの波長より短い間隔を隔てて配置したものである請求項1に記載の高周波回路装置。

【請求項3】 前記スプリアスモード伝搬阻止回路のパターンは、2開口以上の多開口回路を構成する基本パターンを複数個配置したものとし、各基本パターンの任意の2開口間をつなぐストリップ状導体に、使用周波数における $1/4$ 波長の電気長を有する先端が開放されたストリップ状線路を並列に接続して構成した請求項1に記載の高周波回路装置。

【請求項4】 請求項1～3のうちいずれかに記載の高周波回路装置を通信信号の伝搬部または通信信号の信号処理部に設けた通信装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 この発明は、2つの平行平面導体を有する導波路や共振器などの高周波回路装置およびそれを用いた通信装置に関するものである。

## 【0002】

【従来の技術】 誘電体板の一方の面にほぼ全面の接地電極を形成し、他方の面にコブレーナを形成したグラウンドコブレーナ線路や、誘電体板の一方の面に接地電極を形成し、他方の面にスロットを形成したグラウンドスロット線路や、誘電体板の両面に、誘電体板を挟んで対向するスロットを形成した平面誘電体線路などの各種伝送線路が、マイクロ波帯やミリ波帯における伝送線路として用いられている。

【0003】 これらの伝送線路は、いずれも2つの平行な平面導体を含む構造であるため、たとえば線路の出入力部やペンドなどで電磁界が乱れると、いわゆるパラレルプレートモード（平行平板モード）等のスプリアスモードの波が2つの平行な平面導体間（平行平面導体間）に誘起され、そのスプリアスモードの波（以下単に「スプリアスモード」という。）が平面導体間を伝搬するという問題があった。そのため隣接する線路間で上記スプリアスモードの漏洩波で干渉が生じて、信号のリークな

どの問題が生じる場合がある。

【0004】 そこで、本願の出願人は特願平10-209520号にて、スプリアスモードが伝搬しようとする平行平面導体にスプリアスモード伝搬阻止回路を設けた装置を提案している。

## 【0005】

【発明が解決しようとする課題】 前記出願に係るスプリアスモード伝搬阻止回路の典型的な例は、平行平面導体に二次元に広がるマイクロストリップ状線路から成る帯域阻止フィルタを、たとえばスプリアスモードの波長より短い間隔を隔てて平面上に配列したものである。

【0006】 このようなスプリアスモード伝搬阻止回路は、平行平面導体に形成するものであるため、電極をバターンニングするだけでなく、その製造が容易である。

【0007】 ところが、近年の電子機器の小型化の要請に伴う、マイクロ波回路の集積化が進み、上述のスプリアスモードの伝搬を阻止すべき回路を形成する面積も限られたものになってきている。

【0008】 この発明の目的は、限られた面積のスプリアスモード伝搬阻止回路で確実にスプリアスモードの伝搬を阻止できるようにした高周波回路装置および通信装置を提供することにある。

## 【0009】

【課題を解決するための手段】 この発明の高周波回路装置は、平行な少なくとも2つの平面導体と、該2つの平面導体間を伝搬するスプリアスモードと結合して当該スプリアスモードの伝搬を阻止するスプリアスモード伝搬阻止回路を前記2つの平面導体の両方に形成した高周波回路装置であって、前記2つの平面導体の一方のスプリアスモード伝搬阻止回路の開放端と短絡端が、他方のスプリアスモード伝搬阻止回路の短絡端と開放端にそれぞれ対向するように、前記2つの平面導体のスプリアスモード伝搬阻止回路のパターンを配置する。後述するように、この構造により、スプリアスモードの抑圧条件を最適化し、限られた面積のスプリアスモード伝搬阻止回路でスプリアスモードの伝搬を効果的に阻止する。

【0010】 また、この発明の高周波回路装置は、前記スプリアスモード伝搬阻止回路のパターンとして、前記伝送線路の電磁波伝搬方向に垂直な向きに高インピーダンス線路と低インピーダンス線路とを交互に直列接続したストリップ状線路を、スプリアスモードの波長より短い間隔を隔てて配置したものとする。これにより、2つの平面導体のスプリアスモード伝搬阻止回路のパターンを容易に配置できるようになる。また、パラレルプレートモード等のスプリアスモードを、ストリップ状線路による他のモードに変換するとともに、所定の周波数においてそれらのモードの信号を反射させる。

【0011】 また、この発明の高周波回路装置は、前記スプリアスモード伝搬阻止回路のパターンとして、2開口以上の多開口回路を構成する基本パターンを複数個配

置したものとし、各基本パターンの任意の2開口間をつなぐストリップ状導体に、使用周波数における $1/4$ 波長の電気長を有する先端が開放されたストリップ状線路を並列に接続して構成する。この構造により、任意の2開口回路を帯域阻止フィルタ特性を示す回路として、パラレルプレートモード等のスプリアスモードを所定の周波数において反射させることによりスプリアスモードの伝搬を阻止する。

【0012】また、この発明の通信装置は、前記高周波回路装置を通信信号の伝搬部や通信信号の所定周波数帯域を通過させたり阻止したりするフィルタ等の信号処理部に用いて構成する。

【0013】

【発明の実施の形態】第1の実施形態に係る高周波回路装置の構成を図1～図8を参照して説明する。図1の

(A)は2つの平面導体間を伝搬するパラレルプレートモードの電磁界分布の例を示している。(A)は一部破断斜視図、(B)は断面図である。図1において、20は誘電体板であり、その下面に電極21、上面に電極22をそれぞれ形成している。このような誘電体板に、たとえばグラウンドコプレーナ線路を構成した場合、そのグラウンドコプレーナ線路では、端部において電磁界の乱れが生じ、誘電体板20の上下面の電極21、22を縦方向に走る電界(図中の実線の矢印)を誘起し、これにより、図に示すようにパラレルプレートモードの電磁界が生じる。ここで破線は磁界の分布、白抜きの矢印は電極21、22を流れる電流の分布をそれぞれ示している。

【0014】図1の(B)において、A-A'面は2つの電極21、22の対称面を示している。ここでA-A'面は電気壁である。

【0015】図2は図1の(B)に示した断面内電磁界の等価回路である。ここでA-A'は電気壁であることから、この対称面で短絡、すなわちポート1、2から逆相の励振が行われているものと考えることができる。この考えによれば、上下の電極間に電界が垂直に発生するモードの存在条件は、ポート1、2からの逆相励振であり、抑圧条件は、その逆であり、これら2つのポートに同相励振を行うことである。

【0016】図3は、上記パラレルプレートモード等のスプリアスモードの抑圧機構のコンセプトを等価回路で表現したものである。まず、たとえばコプレーナ線路等の基本モードの伝搬路が存在し、その伝搬路の一部に、図中トランスで示すように、たとえばペンドや不連続部によって発生するパラレルプレートモードの発生源が存在する。このパラレルプレートモードは、平行平板中を伝搬し、回路パターン境界でモード変換を起こし、回路パターン中を伝搬していくモードとしてパターン中を伝搬する。図中回路パターンA、Bで示すように、スプリアスモード伝搬阻止回路のパターンが上下の電極に存在

する場合、たとえばTE01モード、スロットモード、またはマイクロストリップモード等のモードに変換されて、モード変換後の伝搬モードは、上下両面に分離して伝搬していく。

【0017】図3において、パラレルプレートモードとスプリアスモード伝搬阻止回路境界でのパラレルプレートモードによって誘起される電流は逆相関係にあるため、上下のスプリアスモード伝搬阻止回路のパターンには、それぞれ逆相の伝搬モードが誘起される。図3において上面回路パターンAのトランスが正相トランスであるのに対し、下面回路パターンBが逆相トランスとしているのは、このためである。

【0018】前述したように、パラレルプレートモードの抑圧条件は、上下電極間から同相の励振を行うことである。スプリアスモード伝搬阻止回路の上下電極変換部での上下電極間の(回路間の)位相差が逆相であることから、全体として同相とするためには、上下の回路パターンA、Bの反射位相差を逆相関係にする必要がある。

【0019】次に、その回路パターン設計法の例について説明する。まず、回路パターンとして、インピーダンスが低い $1/4$ 波長線路と、インピーダンスが高い $1/4$ 波長線路の繰り返しによって構成されるパターンを想定する。この回路パターンは、所定の周波数を遮断周波数とする帯域阻止フィルタとして作用する。

【0020】図4の(A)は、上面電極に形成する回路パターンA、図4の(B)は下面電極に形成する回路パターンBである。両者は、高インピーダンス線路と低インピーダンス線路の位置を入れ換えたものに等しい。

【0021】図4の(C)は、図4の(A)、(B)におけるB-B'面から見た入力インピーダンスの軌跡を、スミスチャート上にプロットしたものである。ここで、実線は図4の(A)に示した回路パターンAについて、破線は図4の(B)に示した回路パターンBについて示している。

【0022】図中のa～e、a'～e'は図4の(A)、(B)における各点に対応している。このように、2つの軌跡は、共に $180^\circ$ の位相ずれがあり、回路パターンA、Bをこのように選ぶことによって、逆相関係となることがわかる。その結果、この2つの回路パターンA、Bのような関係を持つ2つの回路をスプリアスモード伝搬阻止回路とすることにより、上述したスプリアスモード伝搬抑圧条件を満足させることができる。

【0023】図5は、上記スプリアスモード抑圧条件を満足するスプリアスモード伝搬阻止回路を備えた高周波回路装置の例を示している。図5の(A)は上面図であり、誘電体板の上面に形成したスプリアスモード伝搬阻止回路および伝送線路のパターンを示している。また(B)は下面図であり、誘電体板の下面に形成したスプリアスモード伝搬阻止回路のパターンを示している。このように、上面回路パターンの高インピーダンス線路部

分を下面回路パターンの低インピーダンス線路部分に対向させ、上面回路パターンの低インピーダンス線路部分を下面回路パターンの高インピーダンス線路部分に対向させている。

【0024】次に、このスプリアスマード伝搬阻止回路の有効性を確認するために、三次元電磁界解析シミュレータHFSSを用いて計算を行った結果を示す。

【0025】計算モデルとして、パラレルプレートモードに準じたモードであるTEモードをスプリアスマード伝搬阻止回路の両側から励振し、この回路によってTEモードの伝搬が抑圧される量を求めた。この時の計算モデルとしては、図6に示すパターンを用いた。ここで寸法W'sは1.5mm、誘電体板の比誘電率は3.2としている。スプリアスマード伝搬阻止回路のパターンは、10mm×0.6mmの断面形状を有する誘電体導波管のH面に形成し、パターン形成部の外には間隔1mmの空気層を設けている。

【0026】このような導波管の伝搬モードはパラレルプレートモードと類似しているので、このスプリアスマード伝搬阻止回路の伝搬阻止効率の善し悪しが性能の目安となる。結果を図7に示す。この時の設計周波数は2.5GHzである。ポート1からポート2への伝搬量は-30~-40dBである。

【0027】比較のために、誘電体板の上下面の回路パターンを同一パターンとしたもの、すなわち、高インピーダンス線路同士および低インピーダンス線路同士が対向するように配置した場合の特性を図8に示す。この場合には、ポート1からポート2への伝搬量は-20dB程度である。この従来のスプリアスマード伝搬阻止回路に比べて本願のスプリアスマード伝搬阻止回路によれば、スプリアスマード伝搬阻止効率が非常に大きく向上することが確認できる。

【0028】次に、第2の実施形態に係る高周波回路装置におけるスプリアスマード伝搬阻止回路のパターンを図9に示す。図9の(A)は誘電体板の上面に形成したスプリアスマード伝搬阻止回路のパターン、(B)は下面に形成したスプリアスマード伝搬阻止回路のパターンである。このパターンは、一重丸で示す部分で、6つの開口を共通に接続した6開口回路を配置するとともに、その6つの開口回路を構成する6つのストリップ状導体のうち、 $120^\circ$ の角度間隔を隔てた3つのストリップ状導体を、隣接する6開口回路のストリップ状導体と連結させている。6開口回路の他の3つのストリップ状導体は、先端を開放させた $1/4$ 波長の電気長を有する先端開放のストリップ状線路、すなわちオープンスタブとしている。

【0029】上記先端開放のスタブをそれぞれ3つ接続した一重丸で示す部分は短絡部である。この短絡部から $1/4$ 波長の電気長だけ隔てた二重丸で示す部分および破線の丸印で示す部分は開放部である。

【0030】図9に示す例では、(A)において一重丸で示す上面のパターンにおける短絡部を、(B)において二重丸で示す開放部に対向させ、同時に下面のパターンにおいて一重丸で示す短絡部を、上面のパターンにおいて二重丸で示す開放部にそれぞれ対向させている。この構造によりスプリアスマード伝搬抑圧条件を満足させている。

【0031】なお、図9に示した一重丸の短絡部を破線の丸印で示す開放部に互いに対向させるように上下のパターンを配置させてもよい。

【0032】このように、任意の2点をむすぶ線路間に並列にスタブを挿入することによって、帯域阻止フィルタとして動作する。したがって、例えばパラレルプレートモードなどのスプリアスマードの波が、この回路パターンのストリップ状線路によってマイクロストリップのモードに変換されても、この回路パターンを伝搬できず、結局、スプリアスマードの波はこの回路パターンの形成箇所で全反射する。このことにより、スプリアスマード伝搬抑圧条件を満足しているので、スプリアスマードの伝搬阻止効率を大幅に高めることができる。

【0033】次に、第3の実施形態に係る高周波回路装置におけるスプリアスマード伝搬阻止回路のパターンの例を図10に示す。(A)は誘電体板の上面に形成した上面回路パターン、(B)は誘電体板の下面に形成した下面回路パターンである。この例では、一重丸で示す部分で8つの開口を共通に接続した8開口回路を配置するとともに、その8つの開口回路を構成する8つのストリップ状導体のうち、 $90^\circ$ の角度間隔を隔てた4つのストリップ状導体を、縦横に隣接する他のストリップ状導体に連結させている。8開口回路の他の4つのストリップ状導体は、先端を開放させてメアンドライン状に形成した $1/4$ 波長の電気長を有する先端開放のストリップ状線路、すなわちオープンスタブとしている。

【0034】4つのスタブの開放端同士が向かい合った二重丸で示す部分が開放部である。また、各スタブの接続部である一重丸で示す部分が短絡部である。

【0035】(A)に示す上面回路パターンの開放部と短絡部は、(B)に示す下面回路パターンの短絡部と開放部にそれぞれ対向するようにパターンを形成している。これによりスプリアスマード伝搬抑圧条件を満足させている。

【0036】なお、ストリップ状導体による2開口以上の多開口回路を構成する基本パターンを配置し、各基本パターンの任意の2開口回路が帯域阻止フィルタ特性を示すようにしたスプリアスマード伝搬阻止回路については、本願の出願人は特願2001-001356号で出願している。本願発明におけるスプリアスマード伝搬阻止回路のパターンとしては、特願2001-001356号で示した各種回路パターンを適用することができ

る。

【0037】次に、伝送線路を備えた高周波回路装置のいくつかの例を図11～図14を参照して説明する。図11はスロット線路を備えた高周波回路装置の斜視図である。この例では、誘電体板20の下面に電極21、上面に電極22を形成し、所定位置にスロットを形成することによってグラウンデッドスロット線路4を構成している。そして、電極21、22をパターンニングすることによって、スロット線路の両側に図5、図9、図10等に示したものと同様のスプリアスマード伝搬阻止回路3を構成している。図11においては、スプリアスマード伝搬阻止回路3を簡略化して表している。

【0038】このようにスロット線路の両側に、スロット線路に沿ってスプリアスマード伝搬阻止回路3を設けることによって、スロットモードに結合して発生したパラレルプレートモードがスプリアスマード伝搬阻止回路3のマイクロストリップ線路のモードに変換されて全反射される。このことにより、スプリアスマード伝搬阻止回路3より外側にパラレルプレートモードがほとんど伝搬せず、隣接する他の線路との不要な結合が生じない。

【0039】図12に示す例では、誘電体板20の下面にグランド電極21、上面に電極22およびストリップ導体19を形成していて、その一部をグラウンドコブレーナ線路1としている。このグラウンドコブレーナ線路1に沿って、その両側の電極21、22に、図5、図9、図10に示したものと同様のスプリアスマード伝搬阻止回路3を形成している。図12においては、スプリアスマード伝搬阻止回路3を簡略化して表している。

【0040】このように、グラウンドコブレーナ線路に適用した場合にもパラレルプレートモードの伝搬が阻止される。

【0041】図13に示す例は、平面誘電体線路(PDTL)に適用した例であり、(A)はその斜視図、(B)は誘電体板部分の下面図である。誘電体板20の上下面には誘電体板20を挟んで対向するスロットを有する電極23、24を形成している。誘電体板20の上下には、所定間隔において導体板27、28を平行に配置している。誘電体板20には、その電極23、24をパターンニングすることによって、図5、図9、図10に示したものと同様のスプリアスマード伝搬阻止回路3をスロット26の両脇に設けている。但し、図においてはスプリアスマード伝搬阻止回路3を簡略化して表している。

【0042】この構成により、誘電体板20の上下の電極23～24間を伝搬するパラレルプレートモード、電極24と導体板28との間の空間を伝搬するパラレルプレートモード、電極23と導体板27との間の空間を伝搬するパラレルプレートモードのいずれのモードについても、スプリアスマード伝搬阻止回路でマイクロストリップの準TEMモードにモード変換されて、それが全反

射される。このことによって、スプリアスマードの伝搬が阻止される。

【0043】図14は誘電体線路に適用した例であり、同図の(A)は主要部の部分破断斜視図、(B)は断面図である。図において35、36はそれぞれ誘電体ストリップ、33は上下面に電極34を設けた誘電体板であり、これらを導体板31、32の間に設けることによって、誘電体ストリップ35、36部分に電磁界エネルギーを閉じ込めて電磁波の伝搬を行う非放射性誘電体線路(NRDガイド)を構成している。

【0044】一般に、誘電体線路においては、誘電体ストリップのつなぎ目部分やペンドなどの不連続部分において電磁界が乱れて、上下の導体板間にパラレルプレートモードなどのスプリアスマードが伝搬する。

【0045】誘電体板33には、その上下面の電極34をパターンニングすることによって、誘電体ストリップ35、36の両脇に、図5、図9、図10に示したものと同様のスプリアスマード伝搬阻止回路3を設けている。これにより、同図の(B)に示すように、電極34と上部の導体板32との間(A1)、および電極34と下部の導体板31との間(A2)をそれぞれ伝搬するパラレルプレートモードの電磁波がスプリアスマード伝搬阻止回路3のマイクロストリップ線路により準TEMモードに変換されて全反射される。したがってこの誘電体線路と、隣接する他の誘電体ストリップによる誘電体線路とが漏洩波によって干渉することがない。

【0046】次に共振器を備えた高周波回路装置の例を図15を参照して説明する。図15の例では、誘電体板29の上下面の電極に、誘電体板29を挟んで互いに対向する円形の電極非形成部30を設けている。この構造により、電極非形成部30を磁気壁とする誘電体共振器を構成している。この例ではTE010モードの共振器として作用する。誘電体板29の上下面の電極にはスプリアスマード伝搬阻止回路3をパターンニングしている。但し、そのパターンは図においては簡略化して表している。このスプリアスマード伝搬阻止回路3は、図5、図9、図10に示したものと同様である。このように円形の電極非形成部30の周囲に沿ってスプリアスマード伝搬阻止回路3を形成する場合に、図5、図9、図10に示したパターンを直角座標とした場合に、これを極座標形式に座標変換したものに相当するパターンとしてもよい。

【0047】図15において、誘電体共振器部に閉じ込められる電磁界エネルギーの一部はパラレルプレートモードとして誘電体板29の上下の電極間を、誘電体共振器を中心として放射方向に広がるが、そのパラレルプレートモードはスプリアスマード伝搬阻止回路3によってマイクロストリップ線路のモードに変換され、全反射する。そのため、このスプリアスマード伝搬阻止回路3より外側へはパラレルプレートモードがほとんど漏洩する

ことがない。また、逆にスプリアスモード伝搬阻止回路3の外側から内部（共振器方向）へもスプリアスモードがほとんど漏洩することがない。したがって、このスプリアスモード伝搬阻止回路3の外側に伝送線路や他の共振器が存在していても、それらとの間で漏洩波の結合による干渉が生じない。

【0048】次に、電圧制御発振器の構成例を図16を参照して説明する。図16は電圧制御発振器の構成を示す分解斜視図である。41、44は上下の導体板であり、その間に誘電体板20を配置している。（図示の都合上、上部の導体板41は誘電体板20から大きく離して表している。）誘電体板20には、その上下面に各種導電体パターンを形成している。この誘電体板20の上面には、スロット線路入力型のFET（ミリ波GaN FET）50を実装している。62、63はそれぞれ2つの電極を一定間隔で配してなる誘電体板20上面のスロットであり、誘電体板20の下面のスロットとともに平面誘電体線路を構成する。また45はコブレーナ線路であり、FET50に対してゲートバイアス電圧およびドレインバイアス電圧を供給する。

【0049】61は薄膜抵抗であり、誘電体板20の上面に形成したスロット62の終端部分を先細り形状にするとともに、その上部にこの薄膜抵抗61を設けている。65は誘電体板20の上面に設けた他のスロットであり、誘電体板20を挟んでその裏面側にもスロットを設けて平面誘電体線路を構成している。60はスロット65を跨ぐように実装した可変容量素子であり、印加電圧に応じてそのキャパシタンスが変化する。また図中64は誘電体板20の上面に設けた誘電体共振器用導体非形成部であり、誘電体板20を挟んでその裏面側に対向する誘電体共振器用導電体非形成部とによって、この部分にTE010モードの誘電体共振器を構成している。

【0050】図16においてクロスハッチングで示す部分にスプリアスモード伝搬阻止回路3を形成している。誘電体板20の下面側にも、上面のスプリアスモード伝搬阻止回路に対向する領域にスプリアスモード伝搬阻止回路を形成している。この上下面のスプリアスモード伝搬阻止回路のパターンは、図5、図9、図10に示したものと同様である。このように、スプリアスモード伝搬阻止回路3を形成することにより、たとえばスロット63による平面誘電体線路とスロット65による平面誘電体線路や誘電体共振器用導体非形成部64の誘電体共振器との間での漏洩波による干渉を防止する。

【0051】次に、スプリアスモード伝搬阻止回路を用いた高周波モジュールの例を図17に示す。（A）は全体の斜視図である。この高周波モジュールは、基板70上にチップ状の複数の集積回路部品を実装して、例えば2~30GHzの周波数帯に適用される高周波モジュールを構成している。（B）は、その1つの集積回路部品の拡大平面図である。この集積回路部品は、基板上にス

パイラルインダクタとスロット線路等を形成して、等価的には線路にインダクタを並列接続して成る整合回路を構成している。このスロット線路およびスパイラルスロットインダクタの形成領域以外の領域で、基板70の上下面に、図5、図9、図10に示したものと同様のスプリアスモード伝搬阻止回路を形成している。

【0052】このように、スロット線路に分岐部やペンド部が有ると、これらの箇所でスプリアスモードが発生する。もし、上記スプリアスモード伝搬阻止回路を設けずに、単なる平面導体とすれば、上記スプリアスモードの波は平行平面導体間を伝搬し、スパイラルインダクタと結合したり、寄生容量を増加させる原因となる。その結果、例えば通信モジュールにおいて混信などの現象を引き起こしたり、各部品の特性が設計値から大きくずれて、全体の設計が困難になるといった問題を生む。

【0053】これに対し、図17に示したように、スロット線路およびスパイラルスロットインダクタの形成領域以外の領域に上記スプリアスモード伝搬阻止回路を形成すれば、スロット線路の分岐部やペンド部で発生するスプリアスモードがスプリアスモード伝搬阻止回路で吸収されるため、スプリアスモードの波がスパイラルインダクタと結合したり、寄生容量が増加することなく、上記の問題が解消される。

【0054】図18は、上記電圧制御発振器を用いた通信機の構成例を示すブロック図である。図18においてDPXはアンテナ共用器であり、パワーアンプPAから送信信号が入力される。またDPXから受信信号がローノイズアンプLNAおよびRXフィルタ（受信フィルタ）をとおってミキサへ与えられる。一方、PLLによる局部発振器はオシレータOSCと、その発振信号を分周する分周器DVから成り、ローカル信号が上記ミキサへ与えられる。ここで、OSCとして上記電圧制御発振器を用いる。

【0055】  
【発明の効果】この発明によれば、スプリアスモードが伝搬する2つの平面導体のうち、一方のスプリアスモード伝搬阻止回路の開放端と短絡端が、他方のスプリアスモード伝搬阻止回路の短絡端と開放端にそれぞれ対向するように、2つの平面導体のスプリアスモード伝搬阻止回路のパターンを配置したことにより、スプリアスモードの抑圧条件が最適化され、限られた面積のスプリアスモード伝搬阻止回路でスプリアスモードの伝搬が効果的に阻止される。

【0056】また、この発明によれば、スプリアスモード伝搬阻止回路のパターンを、伝送線路の電磁波伝搬方向に垂直な向きに高インピーダンス線路と低インピーダンス線路とを交互に直列接続したストリップ状線路を、スプリアスモードの波長より短い間隔を隔てて配置したものとすることにより、2つの平面導体のスプリアスモード伝搬阻止回路のパターンが容易に配置できるように

なる。

【0057】また、この発明によれば、前記スプリアスマード伝搬阻止回路のパターンとして、2開口以上の多開口回路を構成する基本パターンを複数個配置したものとし、各基本パターンの任意の2開口間をつなぐストリップ状導体に、使用周波数における $1/4$ 波長の電気長を有する先端が開放されたストリップ状線路を並列に接続して構成することにより、2つの平面導体のスプリアスマード伝搬阻止回路のパターンが容易に配置できるようになる。

【0058】また、この発明によれば、前記高周波回路装置を、通信信号の伝搬部や通信信号の所定周波数帯域を通過させたり阻止したりするフィルタ等の信号処理部に用いることにより、線路や共振器の配置間隔を狭めても、線路間または線路と共振器間における干渉が確実に防止されるので、通信装置全体を小型化できる。

【図面の簡単な説明】

【図1】パラレルプレートモードの様子を示す一部破断斜視図および断面図

【図2】図1におけるモードの等価回路を示す図

【図3】スプリアスマード伝搬阻止回路の概念を示す等価回路図

【図4】スプリアスマード伝搬阻止回路のパターンと入力インピーダンス軌跡の例を示す図

【図5】スプリアスマード伝搬阻止回路を備えた高周波回路装置の上面図および下面図

【図6】特性評価用の計算モデルを示す図

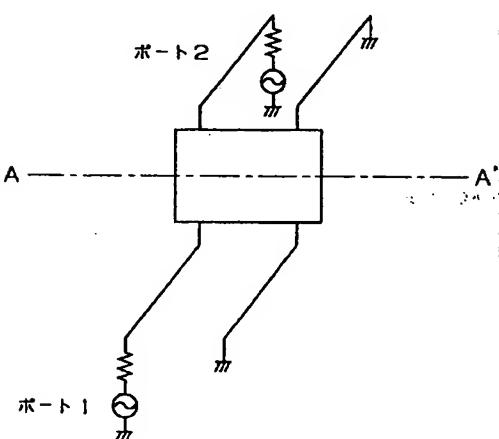
【図7】同モデルの反射特性および透過特性を示す図

【図8】比較例としての従来のスプリアスマード伝搬阻止回路の反射特性および透過特性を示す図

【図9】第2の実施形態に係る高周波回路装置におけるスプリアスマード伝搬阻止回路パターンの例を示す図

【図10】第3の実施形態に係る高周波回路装置におけるスプリアスマード伝搬阻止回路パターンの例を示す図

【図2】



【図11】グラウンデッドスロット線路に適用した例を示す図

【図12】グランデッドコプレーナ線路に適用した例を示す図

【図13】平面誘電体線路に適用した例を示す図

【図14】誘電体線路に適用した例を示す図

【図15】共振器を備えた高周波回路装置に適用した例を示す図

【図16】電圧可変発振器の構成例を示す図

10 【図17】スプリアスマード伝搬阻止回路を設けた高周波モジュールの例を示す図

【図18】通信装置の構成例を示す図

【符号の説明】

1—グラウンデッドコプレーナ線路

3—スプリアスマード伝搬阻止回路

4—グラウンデッドスロット線路

19—ストリップ導体

20—誘電体板

21~24—電極

20 25, 26—スロット

27, 28—導体板

29—誘電体板

30—電極非形成部

31, 32—導体板

33—誘電体板

34—電極

35, 36—誘電体ストリップ

50—FET

60—可変容量素子

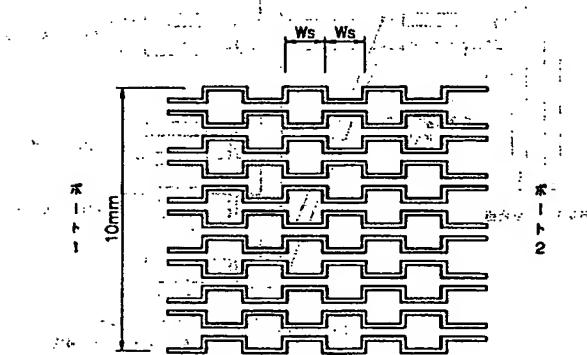
30 61—薄膜抵抗

62, 63—スロット

64—誘電体共振器用導体非形成部

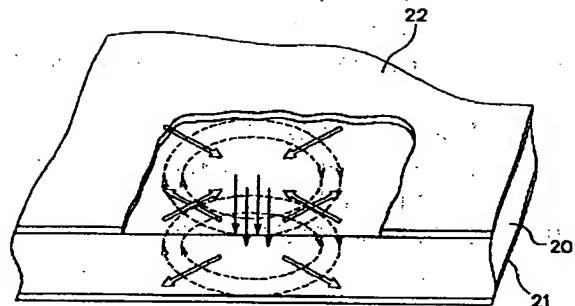
70—基板

【図6】

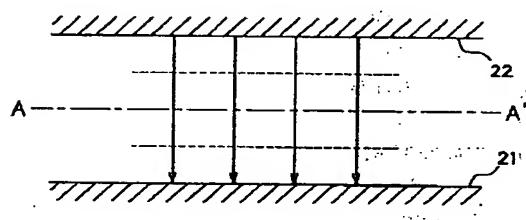


【図1】

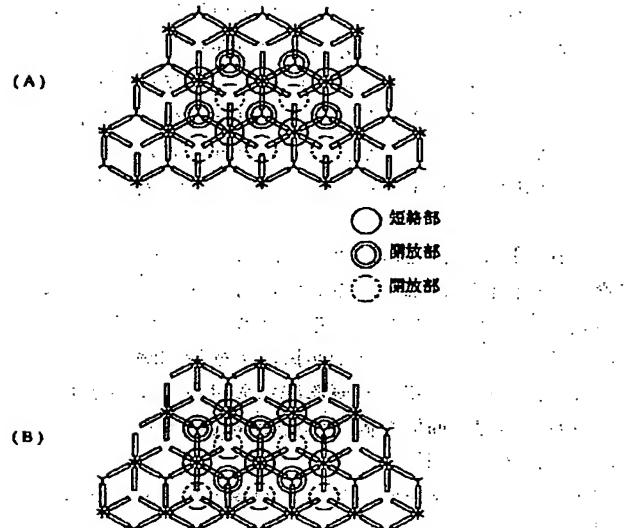
(A)



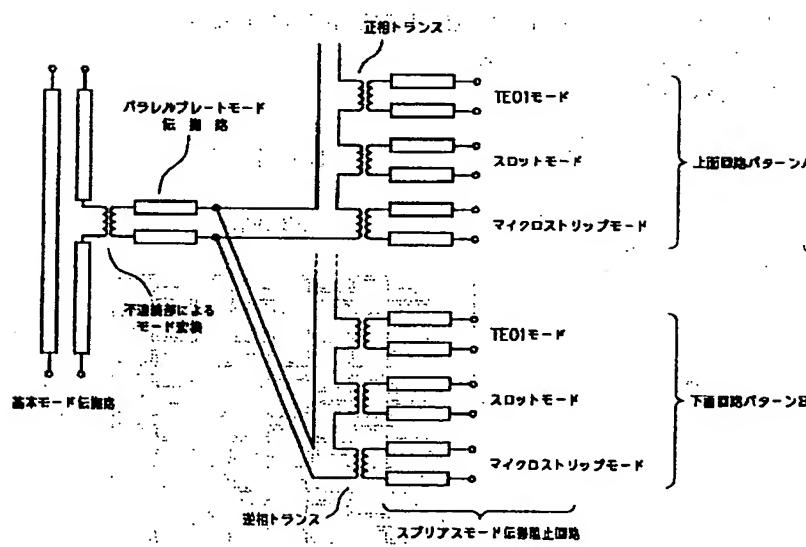
(B)



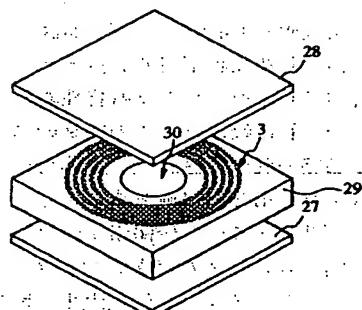
【図9】



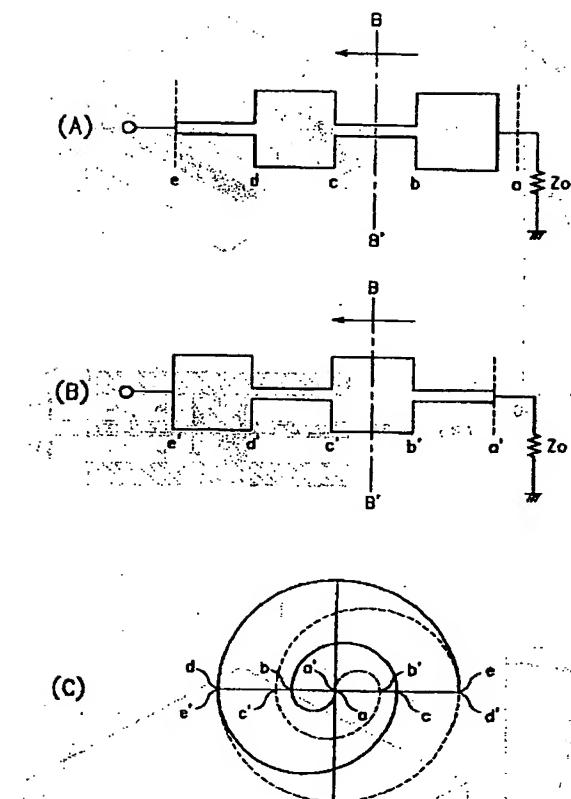
【図3】



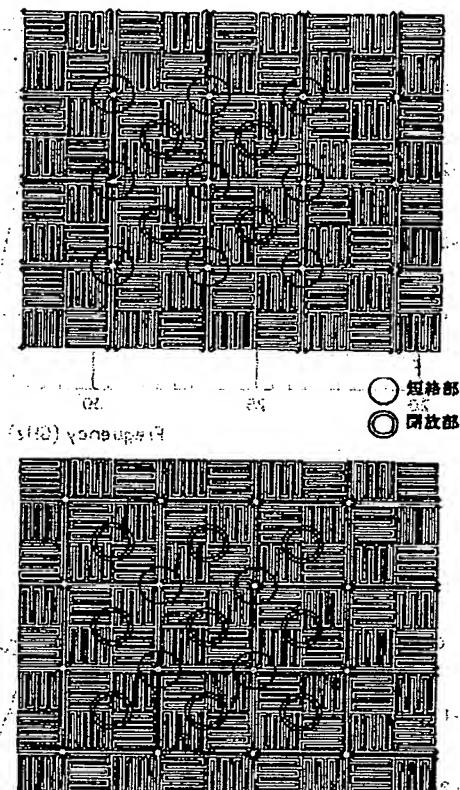
【図15】



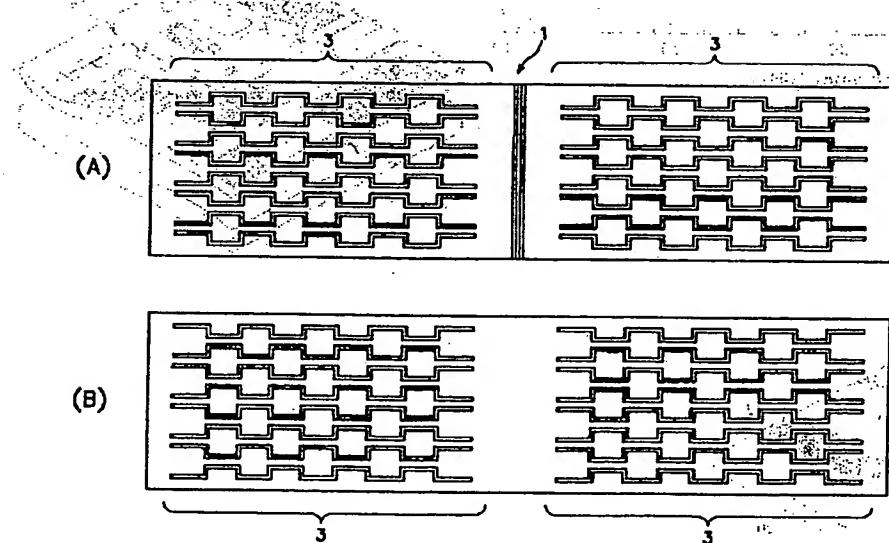
【図4】



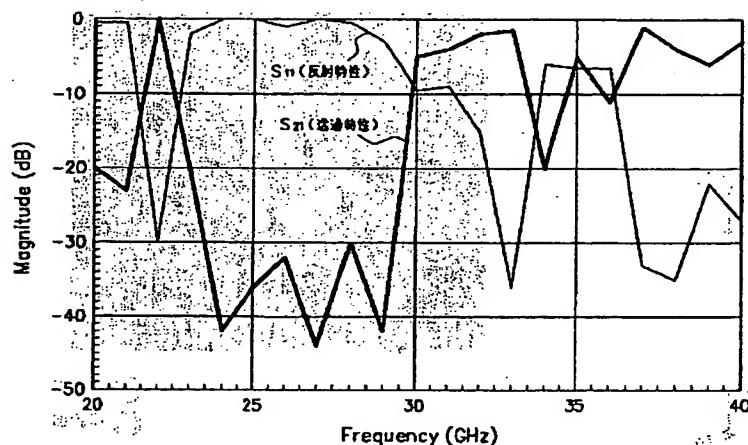
【図10】



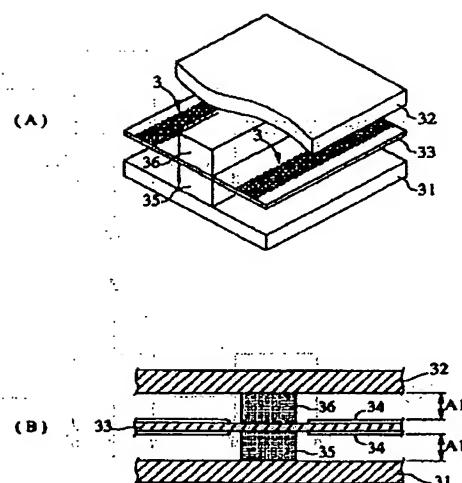
【図5】



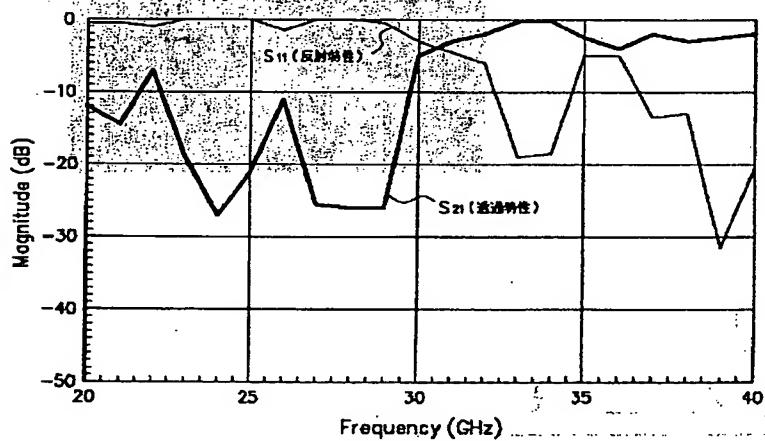
【図7】



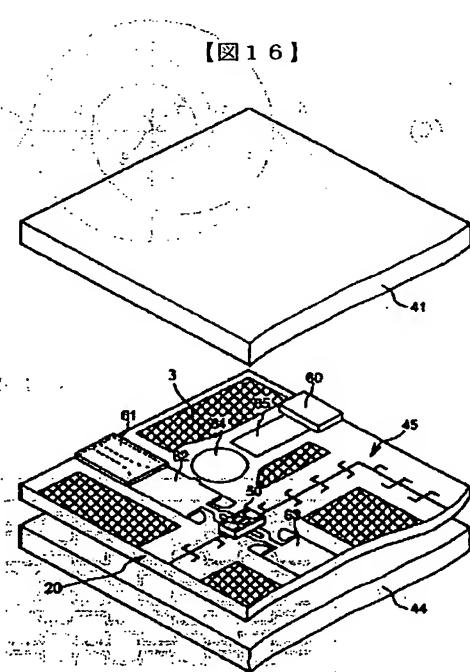
【図14】



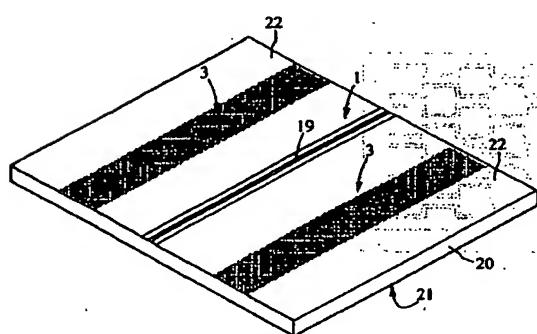
【図8】



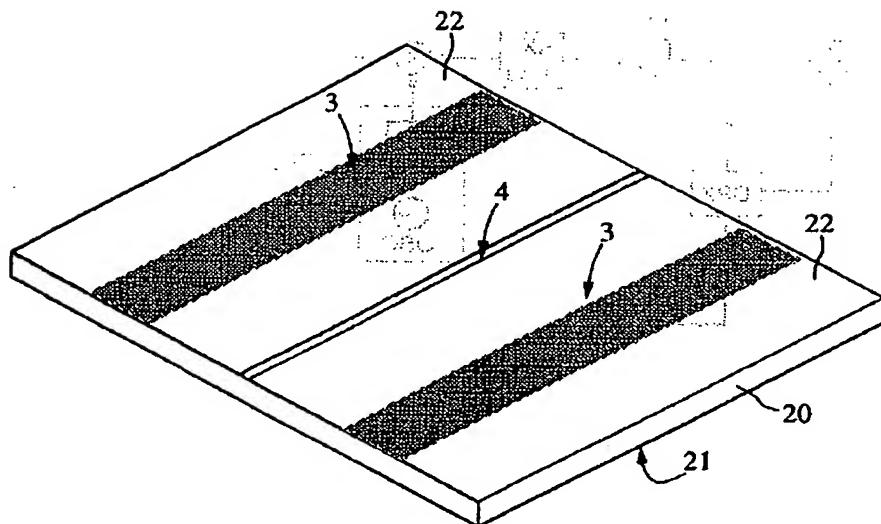
【図16】



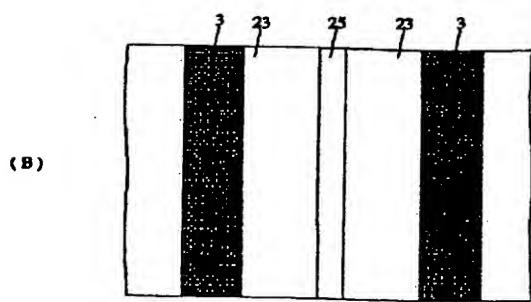
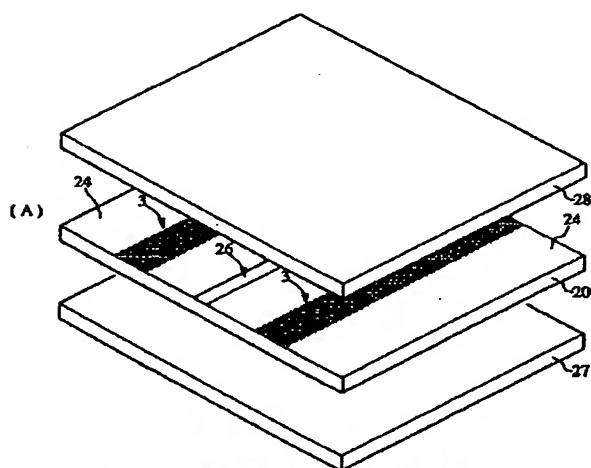
【図12】



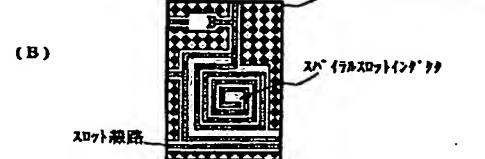
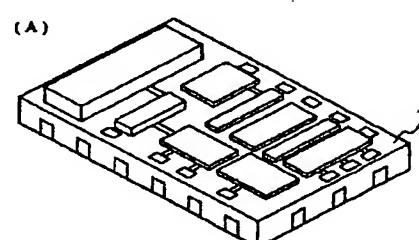
【図11】



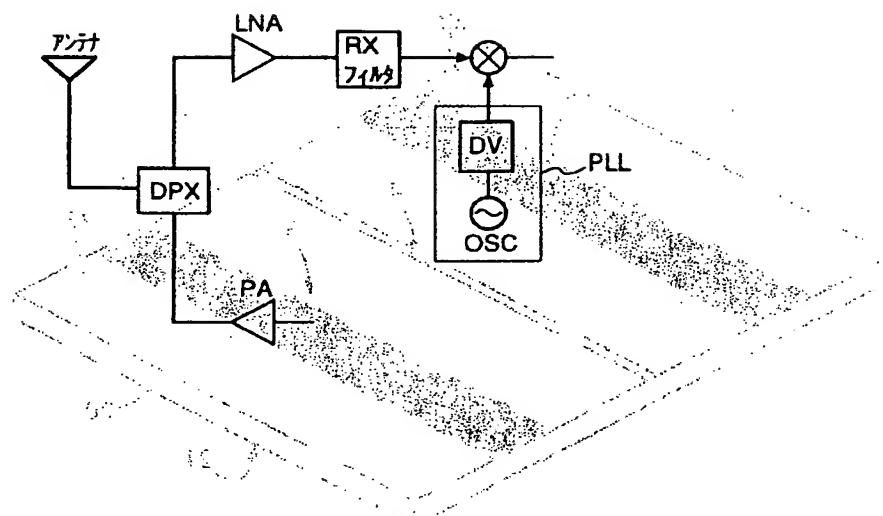
【図13】



【図17】



【図18】



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**